



POLITECNICO DI BARI

DEE DIPARTIMENTO DI
ELETTROTECNICA
ED ELETTRONICA

GRUPPO MISURE ELETTRICHE ED ELETTRONICHE

CdL Specialistica in Ingegneria delle TLC Corso di Misure sui Sistemi di TLC

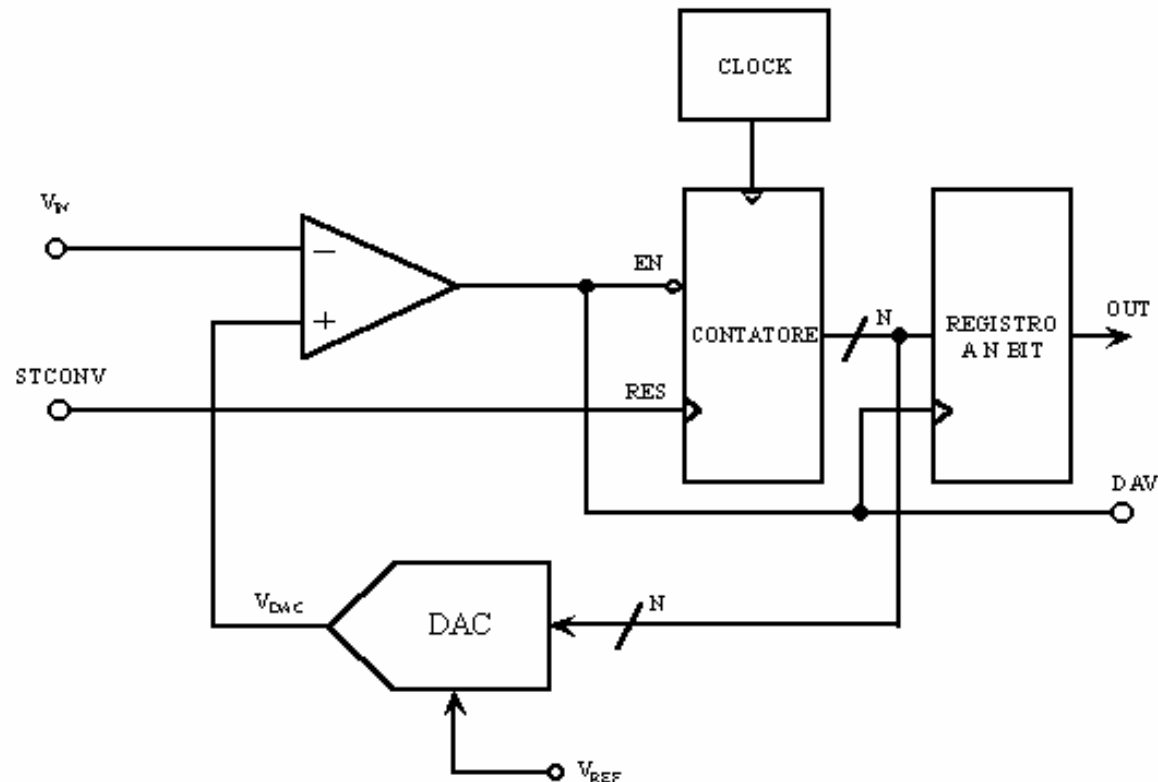
Le principali architetture dei Convertitori Analogico/Digitale

Principali architetture di convertitori A/D

- ADC a scala;
- ADC ad integrazione a rampa semplice, doppia e multipla;
- ADC ad approssimazioni successive (SAR);
- ADC Flash;
- ADC Pipeline (o subranging);
- ADC a sovracampionamento
- ADC "Sigma-Delta"

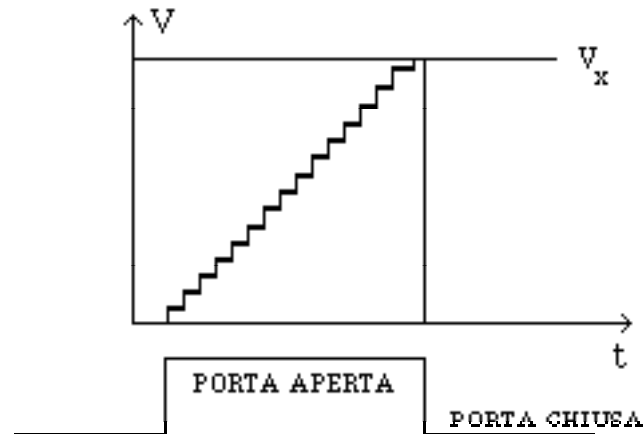
Convertitori A/D a scala

Questi convertitori sono basati sulla retroazione via DAC



- 1) All'inizio della conversione (transizione 0->1 di $STCONV$) il contatore è resettato e inizia a contare gli impulsi di clock. L'uscita del contatore è l'ingresso (digitale) del DAC, che assume quindi i valori 0, 1, 2, 3,...
- 2) L'uscita (analogica) del DAC cresce quindi da zero a V_{FS} , con passi pari a Q (intervallo di quantizzazione).

- 3) Quando l'uscita del DAC raggiunge la tensione V_x il comparatore commuta a 1 e il contatore si ferma.

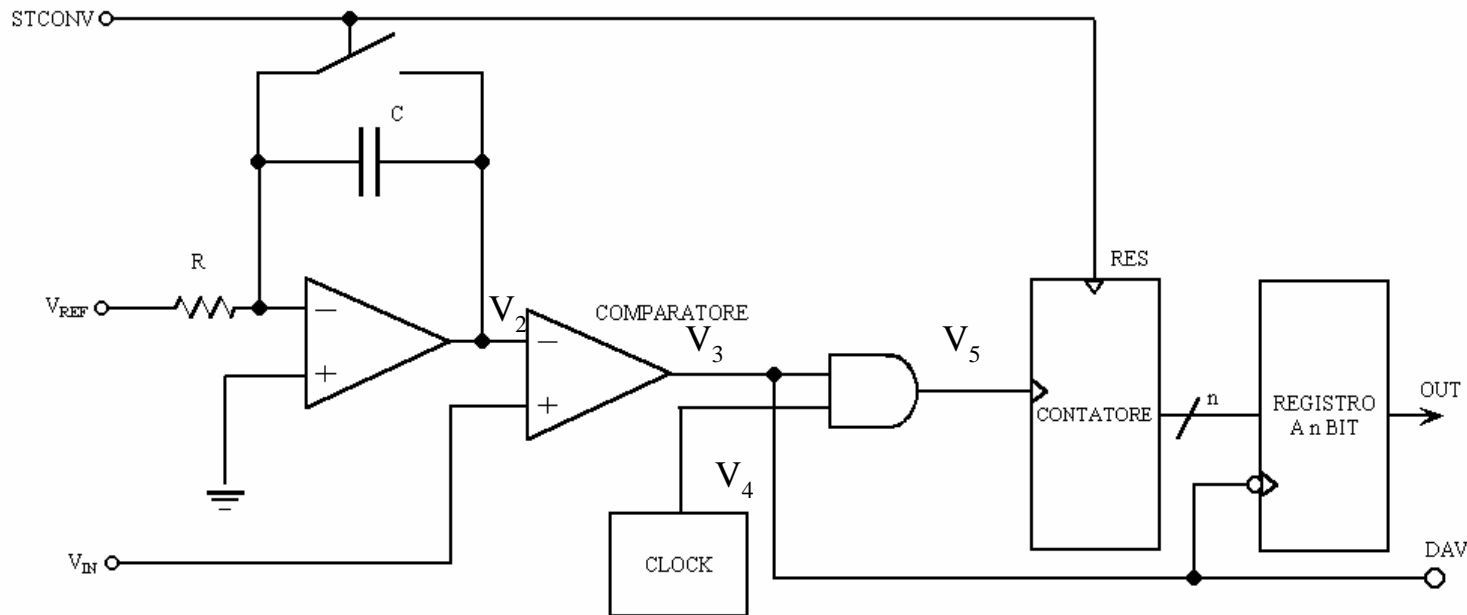


Osservazioni:

- 1) Il numero di passi per la conversione è max 2^b quando $V_x = V_{FS}$.
Quindi la massima frequenza di campionamento è all'incirca pari alla frequenza del clock divisa per 2^b .
- 2) Gli errori dell'ADC sono quelli del DAC, e in particolare:
 - l'errore sulla tensione di riferimento E_r ;
 - l'errore sulle resistenze della scala R-2R nel DAC.

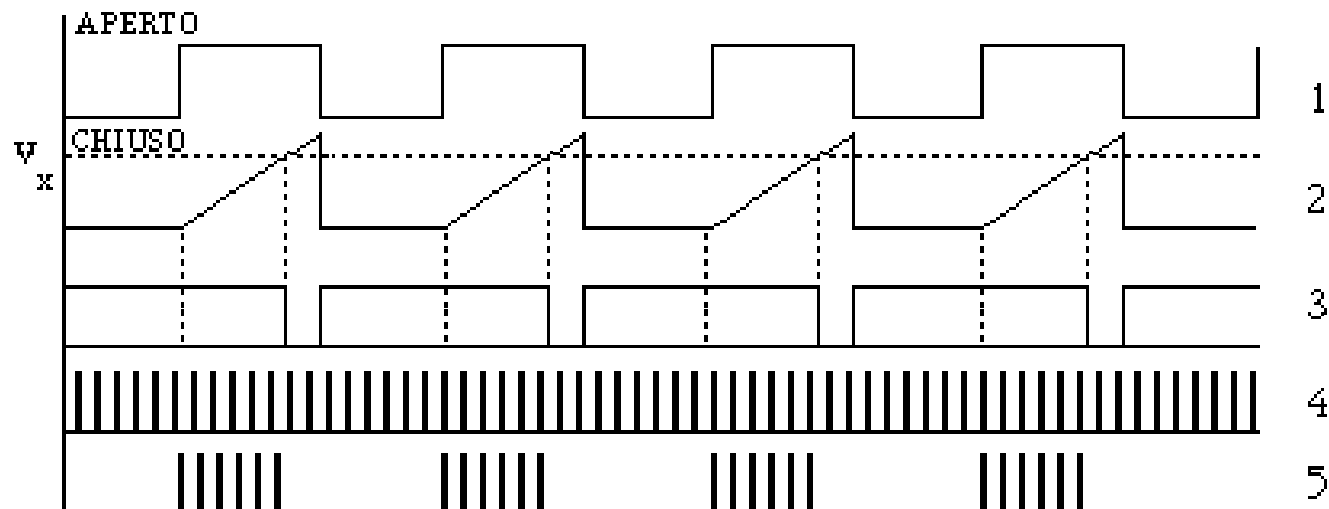
Convertitori A/D a semplice rampa

Questi convertitori sono basati sulla conversione tensione-tempo



- 1) Quando $STCONV = 1$, C è cortocircuitato e l'ADC è bloccato in quanto l'integratore non può operare correttamente;
- 2) La conversione ha inizio alla transizione $1 \rightarrow 0$ di $STCONV$; il contatore viene resettato e V_2 inizia a crescere linearmente nel tempo, $V_3 = 1$ e quindi la porta AND è abilitata, $V_5 = V_4$ (treno di impulsi) e il contatore è libero di incrementare la sua uscita.
- 3) Negli istanti successivi si ha $V_2 = -V_{REF}t / RC = E_r t / RC$.

- 4) Quando V_2 raggiunge V_{IN} , l'uscita del comparatore va bassa ($V_3 = 0$) e la porta AND si disabilita ($V_5 = 0$), quindi il conteggio si arresta;
- 5) La conversione è quindi terminata e un nuovo ciclo avrà inizio solo in corrispondenza di una ulteriore transizione 1->0 di STCONV.



Detta f_0 la frequenza del clock e T_C il tempo necessario per portare a termine la conversione, il numero di impulsi contati sarà tale che:

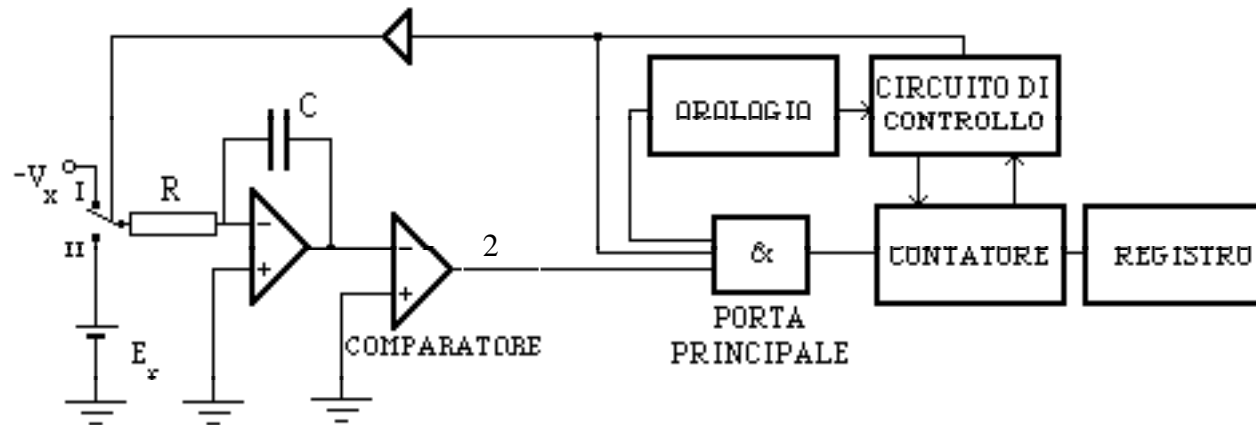
$$V_{IN} = \frac{E_r T_c}{RC} = \frac{E_r}{RC} \frac{N}{f_0} \quad \Rightarrow \quad N = V_{IN} \frac{RC}{E_r} f_0 \quad (\text{proporzionale a } V_{IN})$$

Osservazioni:

- 1) Il tempo di conversione *massimo* è $T_{c,MAX} = V_{FS} \frac{RC}{E_r}$; esso determina anche la massima frequenza di conversione ottenibile con questo tipo di ADC;
- 2) La risoluzione è $b = \log_2 (T_C f_0)$. Si può ottenere una risoluzione arbitrariamente alta incrementando T_C e/o f_0 ;
- 3) Gli errori su E_r , f_0 ed RC si riflettono sull'uscita N . In particolare, il prodotto RC è soggetto a deriva nel tempo e con la temperatura.

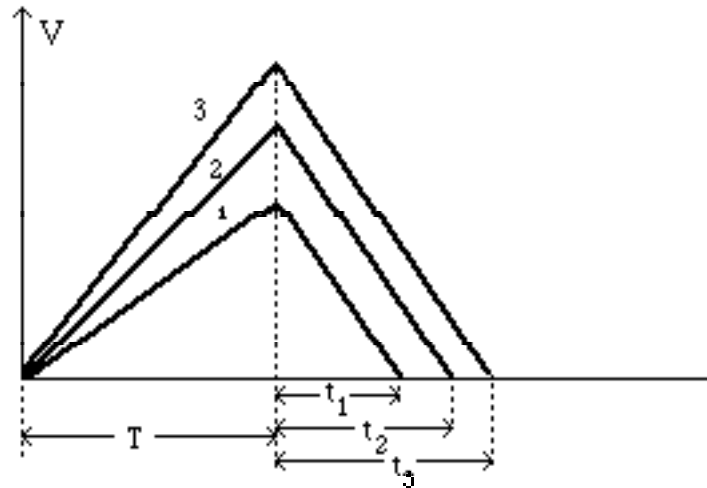
Convertitori A/D a doppia rampa

Questi convertitori sono basati sulla conversione tensione-tempo



- 1) Il circuito di controllo tiene la sua uscita bassa per un tempo prefissato T . Durante questo tempo la porta AND è disabilitata e viene integrata la tensione $-V_x$. Alla fine la tensione sull'integratore è $V_2 = V_x T / RC$.
- 2) L'uscita del circuito di controllo diventa alta (istante $t=0$). La porta AND è abilitata e viene integrata la tensione E_r , per cui si ha

$$V_2 = V_x \frac{T}{RC} - E_r \frac{t}{RC}.$$

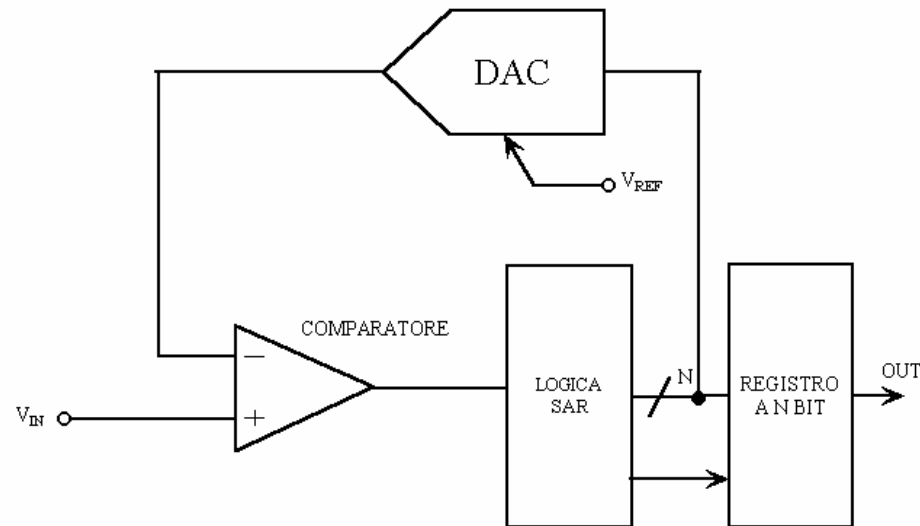


3) Dopo un tempo $t_1 = T \cdot (V_x / E_r)$ il valore di V_2 è zero e il comparatore scatta, disabilitando la porta AND. Il numero di impulsi contati è

$$V_2 = 0 \Rightarrow V_x \frac{T}{RC} = E_r \frac{t}{RC} \Rightarrow V_x N = E_r n \Rightarrow n = \frac{V_x}{E_r} N = T \frac{V_x}{E_r} f_0$$

Sono valide considerazioni analoghe a quelle di prima, con la differenza che è scomparsa la dipendenza di N dal prodotto RC.

Convertitori A/D ad approssimazioni successive (SAR)



In questo tipo di ADC c'è semplicemente un circuito logico (registro ad approssimazioni successive o SAR) la cui uscita (parallela a N bit) è collegata all'ingresso di un DAC di pari risoluzione.

Il SAR controlla lo stato dei singoli bit a ogni ciclo di clock secondo un semplice algoritmo.

Supponiamo che l'ADC (e il DAC) sia a 4 bit con *range* di ingresso da 0Q a 15Q (Q=passo di quant. arbitrario).

L'ingresso V_{IN} è compreso tra i valori 10Q e 11Q, per cui l'ADC deve dare in uscita il numero 10 = $(1010)_2$.

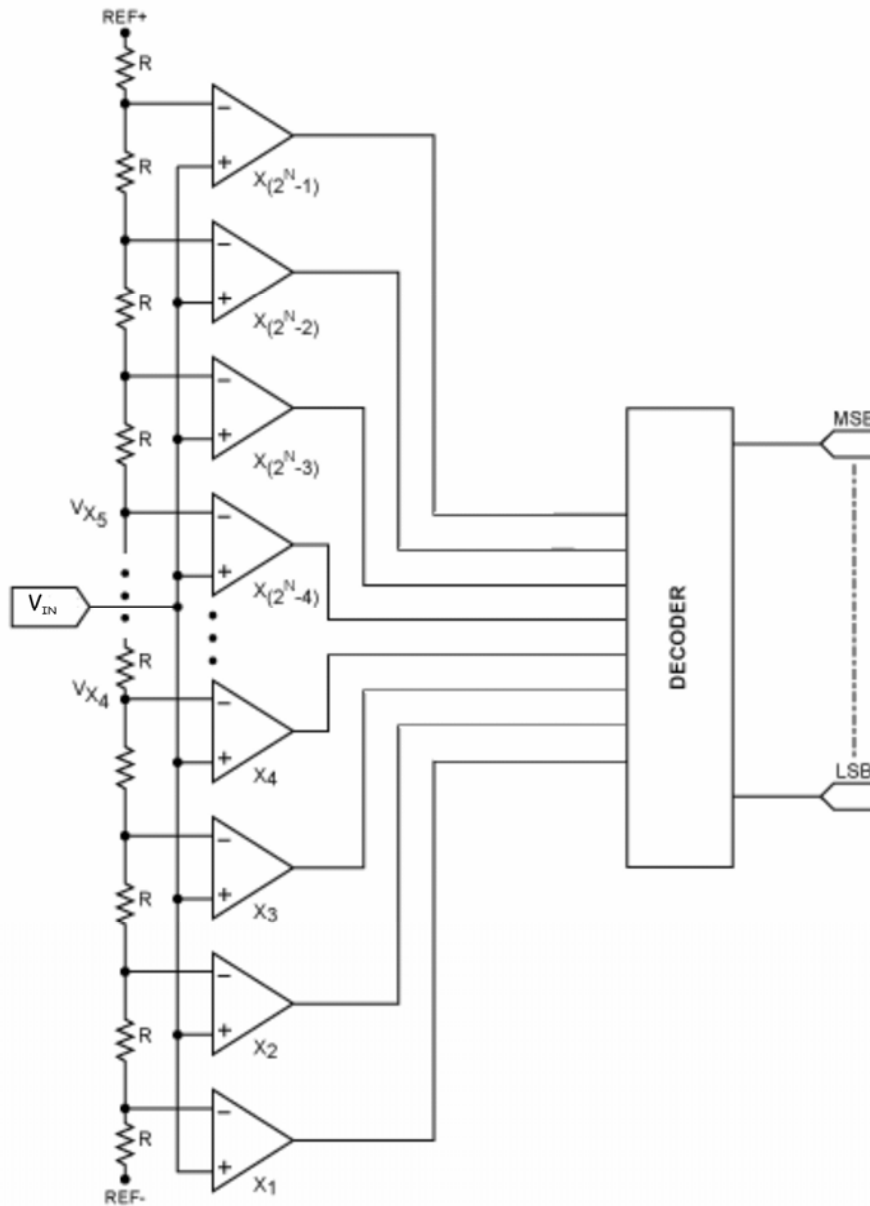
passo n.	uscita SAR (e DAC)	Logica Operativa
1	$(1000)_2 = 8$	$V_{IN} > V_c \Rightarrow 1$
2	$(1100)_2 = 12$	$V_{IN} < V_c \Rightarrow 0$
3	$(1010)_2 = 10$	$V_{IN} > V_c \Rightarrow 1$
4	$(1011)_2 = 11$	$V_{IN} < V_c \Rightarrow 0$
lettura	$(1010)_2$	

In b passi si ha la massima V_c minore di V_{IN} .

Per quanto riguarda gli errori è analogo all'ADC a scala.

Si raggiungono risoluzioni di 16 bit e frequenze di pochi megahertz.

Convertitori A/D parallelo o FLASH



L'ingresso V_x viene simultaneamente confrontato con $2^b - 1$ tensioni di riferimento.

Sono quindi necessari 2^b resistori e 2^{b-1} comparatori.

Questa architettura assicura tempi di conversione estremamente ridotti, quindi è possibile utilizzare frequenze di campionamento molto elevate (ordine dei GSa/s) ma ha complessità, costi e consumi che crescono esponenzialmente con b .

Il primo ADC converte la V_x con risoluzione di $n/2$ bit. Questi sono perciò gli $n/2$ bit più significativi.

Il secondo ADC converte la differenza tra V_x e i suoi $n/2$ bit più significativi. Perciò fornisce gli $n/2$ bit meno significativi.

La velocità è praticamente dimezzata ma la risoluzione raddoppiata.

ADC a sovracampionamento

- Sfruttano il fatto che il rumore di quantizzazione ha densità spettrale uniforme in $[-f_s / 2, f_s / 2]$;
- la potenza totale di rumore dipende, almeno idealmente, solo dalla risoluzione dell'ADC: $\sigma_q^2 = \frac{Q^2}{12}$;
- Aumentando f_s oltre il limite minimo imposto dal teorema di Shannon si può dunque ottenere una sostanziale riduzione della potenza di rumore che ricade nella banda utile di segnale; da qui il nome di "ADC a sovracampionamento"